

ARQUITECTURA DE LA DSP *BLACKFIN* ADSP-BF533 DE ANALOG DEVICES Y SU VIABILIDAD EN EL PROCESAMIENTO DIGITAL DE IMÁGENES

Architecture of the DSP Blackfin ADSP-BF533 of Analog Devices and Their Feasibility in Digital Image Processing

RESUMEN

En el presente documento se realiza una exploración de la nueva tecnología de *Analog Devices*, con su tarjeta de desarrollo *ADSP BF-533* de la familia *Blackfin*®, al estudiar sus características más importantes y presentar una breve instrucción al funcionamiento de la misma. Estas tarjetas contienen procesadores de alto desempeño útiles en aplicaciones de innovación tecnológica y de investigación, gracias al conjunto de operaciones y funciones que ejecutan en tiempo real. Esto hace que este sistema sea el más apropiado para suplir las demandas de procesamiento y ahorro de energía en las aplicaciones actuales de sistemas de audio, video y comunicaciones.

PALABRAS CLAVES: Memoria, procesador, puertos, procesamiento digital de señales, tiempo real.

ABSTRACT

This document is made an exploration of new technology from Analog Devices, with ADSP BF-533 Blackfin® development board, to study its most important features and provide a brief statement to the operation of it. These cards contain high-performance processors useful in applications of technological innovation and research, thanks to all operations and functions that run in real time. This makes this system is most appropriate to meet the demands of processing and energy savings in the current applications of audio, video and communications.

KEYWORDS: Memory, processor, ports, digital signal processing, real time.

DANIEL ZULUAGA ARIAS

Ingeniero Electrónico
Estudiante de XI semestre
Universidad Tecnológica de Pereira
daniel_ing2008@utp.edu.co

CAROLINA ZULUAGA ARIAS

Ingeniera Electrónica
Estudiante de X Semestre
Universidad Tecnológica de Pereira
carozuluaga@utp.edu.co

EDWIN ANDRÉS QUINTERO SALAZAR

Ingeniero Electrónico
Especialista en Pedagogía
Magíster en Instrumentación Física
Grupo de Investigación en
Astronomía Alfa Orión
Universidad Tecnológica de Pereira
equintero@utp.edu.co

1. INTRODUCCIÓN

Los procesadores *ADSP BF-533* de la familia *Blackfin*® están desarrollados a partir de un set de instrucciones de 16 o 32 bits RISC en un modelo de programación SIMD que beneficia el paralelismo de los datos. Estas tarjetas fueron codesarrolladas por *Intel*® y *Analog Devices*®, buscando soluciones basadas en MSA (*Micro Signal Architecture*). Actualmente, son fabricados y comercializados por *Analog Devices*®, con el propósito específico de suplir las demandas de procesamiento en tiempo real y ahorro de energía en las aplicaciones de sistemas de audio, video y comunicación [1].

Estos dispositivos poseen un procesador digital de señales (DSP) y un bajo consumo de potencia, permitiendo la posibilidad de asumir funciones de control y procesamiento de señales, y eliminando la necesidad de procesadores heterogéneos, lo que simplifica el diseño de los circuitos y del *Software*.

Los procesadores *Blackfin*® pueden funcionar hasta con 0,8V de tensión en el núcleo, cumpliendo con las exigencias futuras de aplicaciones de telefonía móvil, transmisión de audio-video en banda ancha por internet, y

dispositivos multimedia tales como reproductores de DVD, cámaras digitales, entre otros.

En la actualidad, el procesamiento de señales de audio y video en tiempo real exige la existencia de interfaces gráficas para interactuar de una manera eficiente con el usuario (*GUI*'s), además de *Stacks* de comunicaciones que permitan el acceso a redes, esto sin mencionar los requerimientos de bajo consumo de potencia para prolongar la duración de las baterías en sistemas portátiles. Estas necesidades han potenciado la versatilidad ofrecida por este tipo de procesadores, proporcionando soluciones a las problemáticas de audio y video existentes en la industria, la ciencia o la medicina. Los *Blackfin*® son procesadores de alta tecnología que permiten ejecutar algoritmos complejos, como por ejemplo la codificación y tratamiento de video en formato *H.264* o *MPEG-4* en tiempo real.

2. ARQUITECTURA DE LA ADSP-BF533

2.1 Descripción General

El procesador *ADSP-BF533* es un miembro de la familia *Blackfin*®, producto incorporado por *Analog Devices*®, Inc. *Intel Micro*. Basados en arquitectura de micro señal (MSA), y desarrollados en conjunto con *Intel*®, los

procesadores *Blackfin* combinan una serie de instrucciones de *32 bits RISC* trabajando de forma similar a los microcontroladores de propósito general. Además, cuentan con una funcionalidad de procesamiento de señal de multiplicación y acumulación (*MAC*) de *16 bits* dual.

Todos los miembros de la familia *Blackfin*® comparten el mismo núcleo, lo único que los diferencia es la capacidad de memoria, la velocidad de operación, el consumo de potencia y el número de periféricos integrados; lo que hace que estos procesadores sean muy utilizados en dispositivos electrónicos y en equipos de telecomunicaciones y procesamiento de video de alto desempeño [2].

Las especificaciones de rendimiento y configuraciones de memoria de la tarjeta en cuestión se muestran en la tabla 1.

Características	ADSP-BF 533
SPORTs	2
UART	1
SPI	1
GP Timers	3
Watchdog Timers	1
RTC	1
Parallel Peripheral Interface	1
GPIOs	16
L1 Instruction SRAM/Cache	16K bytes
L1 Instruction SRAM	64K bytes
L1 Data SRAM/Cache	32K bytes
L1 Data SRAM	32K bytes
L1 Scratchpad	4K bytes
L3 Boot ROM	1K bytes
Máximo Speed Grade	600MHZ
Package Options:	
CSP_BGA	160-Ball
Plastic BGA	169-Ball
LQFP	176-Lead

Tabla 1. Especificaciones de memoria y características generales del procesador *Blackfin*® *ADSP-BF533*.

2.2 Arquitectura de Baja Potencia

Los procesadores *Blackfin*® proporcionan un rendimiento en la gestión de energía de clase mundial. Estos procesadores están diseñados con una metodología de bajo voltaje y con una función de gestión dinámica con la capacidad de variar significativamente el voltaje y la frecuencia de operación, para una reducción sustancial en el consumo de energía. Esto se traduce en mayor duración de batería para los aparatos portátiles.

2.3 Periféricos del Procesador *ADSP-BF533*

Los periféricos de uso general incluyen funciones tales como:

- *UART* (Universal Asynchronous Receiver-Transmitter).
- Temporizadores con *PWM* (modulación por ancho de pulso).
- Bandera de pines *I/O*.
- Reloj en tiempo real.
- Temporizador de vigilancia.
- Puertos de alta velocidad para la conexión de audio, video, y las funciones del módem códec.
- Controlador de interrupciones para la gestión flexible de las interrupciones de los periféricos en *chip* o de fuentes externas.

Todos los periféricos, a excepción los de propósito general de *E/S* en tiempo real y temporizadores, son apoyados por una estructura flexible *DMA*. También hay un canal *DMA* de memoria independiente dedicada a las transferencias de datos entre el procesador en distintos espacios de memoria, incluyendo memoria *SDRAM* de memoria externa y asíncrona.

Múltiples buses en el *chip* funcionan a una frecuencia máxima de *133 MHz* proporcionando suficiente ancho de banda para mantener el núcleo del procesador en ejecución, junto con las actividades de todos los periféricos en *chip* y periféricos externos.

El procesador *ADSP-BF533* incluye un regulador de voltaje que apoya la gestión de la energía del procesador en régimen dinámico. El regulador de tensión proporciona una gama de voltajes de entrada que van desde el nivel de *2,25V* a *3,6V*. La tensión del regulador puede ser evitada a discreción del usuario.

2.4 Núcleo del Procesador *Blackfin*

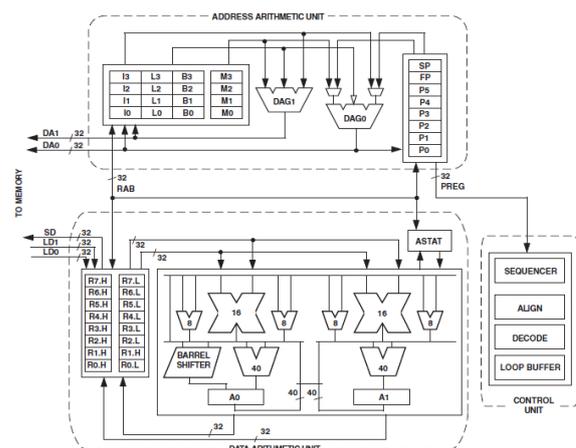


Figura 1. Estructura del núcleo del procesador *Blackfin* *ADSP-BF533*. [3]

Como se puede observar en la figura 1, el núcleo del procesador *Blackfin*® contiene:

- Dos multiplicadores (MAC) de 16 bits.
- Dos acumuladores de 40 bits.
- Dos ALU's de 40 bits.
- Cuatro ALU's de vídeo.
- Una palanca de cambios de 40 bits.
- Las unidades de cálculo pueden procesar datos a 8 bits, 16 bits, y 32 bits desde el archivo de registros.

Cada uno de los registros de 32 bits pueden ser empleados como registros dobles de 16 bits para ejecutar operaciones dobles, por ALU, en un mismo ciclo de máquina.

2.5 Arquitectura de Memoria

Los procesadores Blackfin® se basan en una *Arquitectura Harvard* modificada donde los espacios de direcciones en memoria se organizan en una estructura jerárquica para proporcionar una buena relación coste/rendimiento. La memoria de baja latencia en el chip es la memoria caché o SRAM.

Los Blackfin® utilizan un mapa plano de memoria. Las memorias internas L1 y L2, memorias externas, y todos los registros de control para el mapeo de memoria, están en un espacio de direccionamiento de 32-bit.

El sistema de memoria SRAM L1, corre a la misma frecuencia de reloj, para un mayor rendimiento de memoria disponible en el procesador. Las memorias de instrucciones y de datos son independientes y están conectadas al Core por medio de buses dedicados que permiten el rápido intercambio de datos entre el Core y la memoria L1. La memoria que se encuentra fuera del Chip puede ser accedida a través de la unidad de interfaz de bus externo (EBIU).

Los procesadores tienen un espacio unificado de direccionamiento de hasta 4 GB, utilizando direcciones de 32 bits. La memoria interna incluye:

- Memoria SRAM de niveles 1 y 2 (L1 y L2).
- Registros mapeados en memoria (MMR, (Memory Mapped Registers))
- Memoria de arranque de solo lectura (Bootup ROM)

2.6 Interior de la Memoria (On-Chip)

El ADSP-BF533 tiene tres bloques de memoria en el interior del chip que facilitan el acceso al Core debido a su gran ancho de banda. La primera es la memoria de instrucciones L1, que consta de 80K bytes de SRAM, en la cual se puede configurar una mezcla de memoria SRAM y Caché.

El segundo bloque de memoria en el chip es la memoria de datos L1, que consiste en dos bancos de 32K bytes cada uno. Cada banco de memoria es configurable, opción ofrecida tanto por la memoria caché, como por la SRAM.

El otro bloque de memoria es un bloc de notas de 4K bytes de SRAM que funciona a la misma velocidad que la memoria L1, pero sólo es accesible como SRAM de datos y no se puede configurar como memoria caché.

2.7 Control de Eventos (Event Handling)

El controlador de eventos en el procesador ADSP-BF533 se ocupa de todos los eventos asincrónicos y sincrónicos del procesador. Estos eventos soportan la anidación y priorización, las cuales poseen las siguientes características:

- La anidación permite eventos múltiples con rutinas de servicio activo al mismo tiempo.
- La priorización asegura que el servicio de un evento de prioridad más alta tiene prioridad sobre el mantenimiento de un evento de menor prioridad.

El controlador proporciona soporte para cinco tipos diferentes de eventos:

- Emulación: Un evento de emulación hace que el procesador entre en el modo de emulación, lo que permite el mando y control del procesador a través de la interfaz JTAG.
- Restablecer: Este evento restablece el procesador.
- Nonmaskable interrupción (NMI): El evento NMI puede ser generado por el temporizador de vigilancia de software o por el NMI de señal de entrada al procesador. El evento NMI es

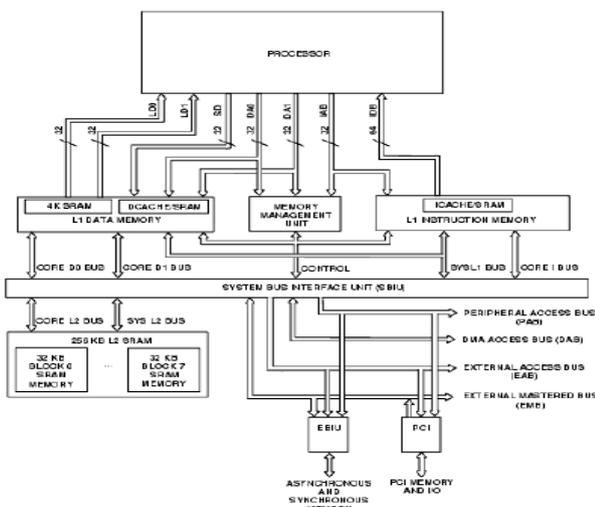


Figura 2. Jerarquía de la memoria del ADSP-BF533 [3].

frecuentemente utilizado como un indicador de apagado para iniciar un cierre ordenado del sistema.

- **Excepciones:** Son eventos que se producen de forma sincrónica con el flujo de programa (es decir, la excepción se tomará antes de que la instrucción este permitida para completar). Las condiciones tales como la alineación de datos, violaciones y las instrucciones indefinidas pueden provocar excepciones.
- **Interrumpe:** Se trata de eventos que se producen de forma asíncrona con el flujo de programa. Son causadas por pines de entrada, temporizadores, y otros periféricos, así como por una instrucción explícita de software.

Cada tipo de evento tiene un registro asociado para el regreso de la dirección y un registro asociado para el retorno de la instrucción del evento. Cuando se activa un evento, el estado del procesador está guardado en el supervisor de *pila*.

2.8 Controladores DMA

El procesador *ADSPBF533* tiene múltiples canales *DMA* independientes que soportan transferencias de datos de una forma automatizada disminuyendo la sobrecarga en el núcleo del procesador. Este controlador permite transferir bloques de código o datos entre memorias internas del procesador y cualquiera de sus periféricos con capacidad para *DMA*, con una mínima disipación de calor en el *Core*. Además, las transferencias se puede lograr entre cualquiera de los periféricos con capacidad *DMA* y dispositivos externos conectados a la interfaz de memoria externa, incluyendo el controlador de memoria *SDRAM* y controlador de memoria asíncrono. Especialmente, los procesadores tienen canales *DMA* dedicados para cada periférico permitiendo alta velocidad en el intercambio de información para aplicaciones que necesiten tomar ventaja de codificación y decodificación de video en tiempo real. Los periféricos con capacidades *DMA* incluyen los *SPORT*'s, el puerto *SPI*, la unidad *UART*, y el *PPI*.

2.9 Periféricos Integrados

El reloj en tiempo real (*RTC*), ofrece un conjunto de características como un reloj digital, incluyendo el tiempo actual, cronómetro, y alarma. El periférico *RTC* es registrado por un cristal externo al procesador de *32.768 KHz*. El *RTC* dedica pines de alimentación para que pueda permanecer encendido, incluso cuando el resto del procesador se encuentra en estado de baja alimentación. El *RTC* ofrece interrupción programable, incluyendo interrupción por segundo, minuto, hora, días o impulsos de reloj.

Los *32.768 KHz* de frecuencia de entrada se dividen en frecuencias de hasta un *1 Hz* usando el *prescaler*. La función del tiempo de conteo consiste en cuatro contadores organizados de la siguiente manera: Un contador de *60* segundos, un contador de *60* minutos, un contador de *24* horas y un contador de *32.768* días.

2.10 Temporizador Guardián (*Watchdog Timer*)

El procesador incluye un temporizador de *32 bits* que puede ser usado para implementar una función de vigilancia en un *software*. Un organismo de control de *software* puede mejorar la disponibilidad del sistema al forzar el procesador a un estado conocido como *nonmaskable interruption (NMI)*, o interrupción de propósito general; en caso de que el tiempo se agote antes de ser reiniciado por el *software*.

2.11 Contadores de Tiempo (*Timers*)

Existen cuatro temporizadores programables de propósito general en el *ADSP-BF533*. Tres temporizadores tienen un pin externo que puede ser configurado como un modulador de ancho de pulso (*PWM*), o, a la salida del temporizador, como un contador de tiempo en aportación al reloj, o como un mecanismo para medir el ancho de pulso y los periodos de eventos externos. Estos temporizadores se pueden sincronizar con un reloj externo de entrada al pin *PFI (TACLK)*, una entrada de reloj externo al pin *PPI_CLK*, o al interior *SCLK*.

Los temporizadores pueden ser usados en conjunción con la *UART* para medir el ancho de los pulsos en la secuencia de datos, con el objetivo de proporcionar una velocidad de transmisión automática.

2.12 Puertos Serie Sincrónicos de Alta Velocidad (*SPORT*'s)

Los procesadores *ADSP-BF533* incorporan dos puertos serie sincrónicos de doble canal (*SPORT0-SPORT1*) para la comunicación serial entre varios procesadores.

Los *SPORT*'s soportan las siguientes características:

- *I²S* de alta velocidad.
- Funcionamiento bidireccional: Cada *SPORT*'s tiene dos grupos de pines independientes para transmitir y recibir, permitiendo ocho canales *I²S* de audio estéreo.
- Puertos de transmisión y recepción (*Búfer 8-deep*): Cada puerto tiene un registro de datos para la transferencia de datos hacia y desde otros componentes del procesador. Además, los registros pueden cambiar datos de puesto dentro y fuera de los registros de datos.

- Reloj: Cada vez que se transmite o se recibe del puerto, se puede usar un reloj externo serial o generar su propio reloj, en las frecuencias que van desde $(f_{SCLK}/131,070)$ Hz, hasta $(f_{SCLK}/2)$ Hz.
- Longitud de palabra: Cada *SPORT*s soporta una serie de palabra de datos de 3 bits a 32 bits de longitud.
- Framing: Cada transmisión y recepción de puerto puede funcionar con o sin marco de sincronización de señal para cada palabra de datos. El marco de sincronización de señal puede ser generado internamente o externamente, de alta actividad o baja, y con cualquiera de los dos anchos de pulso.
- Capacidad multicanal: Cada *SPORT* soporta 128 canales por una ventana de 1024 canales en total, y es compatible con el *H.100*, *H.110*, *MVIP-90*, y las normas *HMVIP*.

2.13 Interfaz para Periféricos Serie (SPI)

Los procesadores *ADSP-BF533* tienen un puerto *SPI* que les permiten comunicarse con múltiples dispositivos *SPI* compatibles. La interfaz *SPI* utiliza tres pines para la transferencia de datos: dos pines de datos (maestro salida-esclavo entrada *MOSI*, y el esclavo salida-maestro entrada, *MISO*) y un pin de reloj (reloj de serie, *SCK*). Además, poseen un *chip SPI* de selección para el pin de entrada (*SPISS*) que les permite a otros dispositivos *SPI* seleccionar el procesador, siete chips *SPI* de salida para la selección de los pines (*SPISEL7-1*) permitiendo que el procesador seleccione otros dispositivos *SPI*. Los pines de selección *SPI* se reconfiguran para uso general de pines de *I/O*.

Los *SPI* proporcionan un bus serial de alta velocidad *full-dúplex* de implementación sencilla, en el cual se puede conectar gran variedad de dispositivos: sensores, memorias, *RTC*'s y tarjetas *MMC* o *SD*. La velocidad de transmisión y la fase del reloj para el puerto *SPI* son programables, y tienen un controlador de *DMA* integrado además de configurable, para apoyar la transmisión o recibir secuencias de datos.

La velocidad de reloj del puerto *SPI* se calcula como [4]:

$$f_{SCK} = \frac{f_{SCLK}}{SPI_BAUD} \quad (1)$$

Donde el registro *SPI_Baud* de 16 bits contiene un valor de 2 a 65.535. Durante la transmisión, el puerto *SPI* al mismo tiempo transmite y recibe en serie cambiando los datos de entrada y salida.

2.14 Transmisores y Receptores Asincrónicos Universales Compatibles con los Puertos PC Estándar (Puertos UART's)

El puerto *UART* proporciona una interfaz simplificada a otros periféricos, la cual soporta comunicación *full-dúplex*, *DMA*, y transferencias asíncronas de datos en serie.

El puerto *UART* de la *ADSP-BF533* posee dos modos de funcionamiento:

- Programación de E/S (*PIO*): El procesador envía o recibe datos por escritura o lectura *I/O*.
- Acceso Directo a Memoria (*DMA*): El *DMA* controla la transferencia tanto de la transmisión como la recepción de los datos. Esto reduce el número y la frecuencia de las interrupciones necesarias para la transferencia de datos desde y hacia la memoria. La *UART* tiene dos canales dedicados *DMA*, una para transmitir y otro para recibir. Estos canales *DMA* tienen menor prioridad por defecto que la mayoría de canales *DMA* debido a la baja tasa de servicio.

Tanto las operaciones de transmisión como las de recepción, se pueden configurar para generar interrupciones enmascarables al procesador. La *UART* permite comunicación bidireccional con dispositivos *RS232* (PCs, módems, periféricos para PC, dispositivos *MIDI* y dispositivos *IRDA*).

La velocidad de reloj del puerto *UART* se calcula como:

$$f_{UART} = \frac{f_{SCLK}}{UART_BAUD} \quad (2)$$

2.15 Interfaz de Periféricos Paralelos (PPI)

Los procesadores ofrecen una interfaz de periféricos paralelos (*PPI*) que se puede conectar directamente en paralelo con *ADC*'s y *DAC*'s, codificadores de vídeo y descodificadores, y otros periféricos de uso general. La *PPI* contiene en un pin de entrada de reloj, hasta tres pines de sincronización, y hasta 16 pines de datos. El reloj de la entrada soporta velocidades de datos en paralelo de hasta la mitad de la velocidad del reloj del sistema, y las señales de sincronización se pueden configurar como entradas o salidas.

El *PPI* se utiliza para conectar *LCD*'s, codificadores de video, decodificadores de video, sensores *CMOS* o *CCD*'s, y dispositivos genéricos paralelos de alta velocidad. El puerto *PPI* puede alcanzar frecuencias de hasta 75 MHz y puede configurarse en un rango de 8 a 16 bits.

2.16 Procesamiento Imagen y Video.

Los procesadores *Blackfin*® poseen unas características avanzadas para el procesamiento eficiente de señales de video e imagen, además del procesamiento vectorizado. El tipo de instrucciones de video e imagen permiten analizar *bytes*, deshabilitar excepciones que presentan por

accesos de 32 bits a memoria sin tener los datos correctamente alineados, y realizar operaciones de suma, resta y promedio en datos dobles o cuádruples de 16 u 8 bits, respectivamente.

Además de soportar en forma datos de 8 bits (tamaño de palabra común a muchos algoritmos de procesamiento de pixeles), *Blackfin*® incluye instrucciones de aceleración tales como *DCT* (transformada discreta cosenoidal), y suma y diferencia absoluta para algoritmos de estimación de movimiento usados en la compresión de video (*MPEG-4*).

Una de las aplicaciones clave del estándar *MPEG-4* para la compresión de video, consiste en la capacidad de codificar objetos de video con formas arbitrarias, diferentes a los cuadros de video tradicionales de forma rectangular. Dado que múltiples objetos de video se pueden codificar independientemente de los demás y se pueden multiplexar en un único flujo de datos, se ofrece al usuario la posibilidad de componer una escena de video a su propio antojo colocando objetos de video decodificados en cualquier posición. Para poder reconstruir el video original dentro de esquemas de codificación híbridos basados en bloques, cada plano de objetos de video es embebido dentro de un rectángulo con una estructura de bloque regular. Aquellos bloques que estén completamente contenidos dentro del objeto de video se codifican con una *DCT* tradicional de 8x8, mientras que aquellos bloques que no están completamente contenidos dentro del objeto de video son codificados separadamente utilizando bien sea técnicas de relleno de imagen o transformadas adaptativas a la forma. [1]

3. APLICACIONES DE LA ADSP-BF533

- Multimedia: Reproductores portátiles, sistemas *home-theater*, equipos profesionales de audio y video.
- Seguridad y Vigilancia: Cámaras con conexión a Internet
- Instrumentación y control automatizado.
- Medición y prueba: Equipos de medición de alta precisión, equipos de adquisición y procesamientos de señales.
- Control de Procesos: Sistemas alámbricos o inalámbricos para control, dispositivos de control en tiempo-real.

4. GLOSARIO

- *RISC (Reduced Instruction Set Computer)*: Arquitecturas de carga de almacenamiento.
- *DMA (Direct Memory Access)*: Permite a cierto tipo de componentes del ordenador acceder a la memoria del sistema para leer o escribir independientemente de la *CPU* principal.

- *DCT (Discrete Cosine Transform)*: Expresa una secuencia finita de puntos de datos en términos de una suma de coseno.
- *H.264-MPEG-4*: Norma que define un *códec* de video de alta compresión a una tasas de transferencia de datos muy reducidos.
- *DSP (Digital Signal Processor)*: Es un sistema basado en un procesador que posee un set de instrucciones, hardware y software optimizados para aplicaciones que requieran operaciones numéricas a muy alta velocidad.
- *SIMD (Single Instruction, Multiple Data)*: Técnica empleada para conseguir paralelismo a nivel de datos.
- *RTC (Real-Time clock)*: Reloj de un ordenador, incluido en un circuito integrado, que mantiene la hora actual.
- *MSA (Micro Signal Architecture)*.
- *MAC*: Unidad de multiplicación-acumulación.
- *SDRAM (Synchronous Dynamic Random Access Memory)*: Es una memoria dinámica de acceso aleatorio (*DRAM*) que tiene una interfaz síncrona.

5. CONCLUSIONES Y RECOMENDACIONES

- La gran capacidad computacional, el bajo consumo de potencia y el reloj de tiempo real que posee este dispositivo, lo convierte en una importante alternativa para aplicaciones de telecomunicaciones y de procesamiento de imagen de alto desempeño para las grandes y pequeñas infraestructuras.
- Los procesadores *ADSP-BF533* permiten implementar algoritmos complejos con una alta respuesta computacional para aplicaciones como cancelación de ruido, reconocimiento de imagen, descompresión de audio y video, y reconocimiento de voz.
- El sencillo y eficiente diseño de este dispositivo permite a los sistemas inteligentes interactuar con el mundo exterior de una manera dinámica, gracias a que tienen periféricos integrados de entrada y salida de alto desempeño para captar, procesar, estudiar y controlar señales físicas.

6. BIBLIOGRAFÍA

- [1] Jaime Andrés Aranguren Cardona. *Blackfin: DSP para la Era Multimedia*. Medellín. 2010.
- [2] *ADSP-BF533: Introducción a los Procesadores Blackfin de Analog Devices*. Flores Ocampo Diego. 2009.
- [3] *ADSP-BF533 Embedded Processor Data Sheet*. Analog Devices Inc. 2009.
- [4] <http://Docs.blackfin.uclinux.org>. Consultado el 12 de febrero de 2011.