

DISEÑO E IMPLEMENTACION EN FPGA DE UN MODEM 16QAM BASADO EN CORDIC PARA SATELITES COGNITIVOS

FPGA Design and Implementation of 16QAM Modem Based on Cordic For Cognitive Radio Satellite

Evelio Astaiza Hoyos, Héctor Fabio Bermúdez Orozco, Guefry Leider Agredo Méndez
Ingeniería electrónica, Universidad del Quindío, Armenia, Colombia

gagredo@unicauca.edu.co
 eastaiza@uniquindio.edu.co
 eastaizah@unicauca.edu.co
 hfbermudez@uniquindio.edu.co
 hebermudez@unicauca.edu.co

Resumen— En este artículo se presenta el diseño e implementación de las etapas de procesamiento digital requeridas en un Repetidor Satelital Cognitivo para modular y demodular una señal de información, donde parámetros como el orden de la modulación o el esquema de modulación pueden cambiarse con el fin de optimizar la utilización de los recursos de radio o adaptar el sistema a las condiciones del entorno para satisfacer los requerimientos impuestos a este tipo de sistemas. Se inicia la discusión con el modelo de las etapas de procesamiento para el desempeño de la modulación y demodulación para un Repetidor Satelital Cognitivo, donde el modelo de procesamiento y diagrama en bloques se describe para analizar cada componente. Esta descripción se enfoca principalmente en frecuencia intermedia (IF). Adicionalmente, restricciones de implementación se identifican para cada etapa de acuerdo a los requerimientos. Finalmente, el proceso de validación de la implementación se efectuó a través de las herramientas de diseño, simulación, síntesis y descarga de Xilinx sobre la FPGA Spartan 3E, y se presentan algunos comentarios con el fin de identificar limitaciones y problemas prácticos de diseño en los sistemas propuestos.

Palabras claves— Radio Definido por Software, QAM, Transpondedores Reconfigurables, CORDIC, FPGAs, DSPs.

Abstract-- In this paper, we consider the design and implementation of the digital stages required in a Cognitive Radio Satellite Repeater for modulate and demodulate an information signal, where parameters like modulation order or modulation scheme can be changed in order to optimize the radio resources or adapt to environment conditions

satisfying the requirements imposed to this kind of systems. We start the discussion of a processing model to perform the

Digital Modulation and Demodulation Stages for a Cognitive Radio Satellite Repeater, where processing model and its block diagram is depicted to analyze each component. This description is focused mainly on the Intermediate Frequency (IF). Additionally, implementation constraints are identified for each stage according to design requirements. Finally, the validation process of the implementation was done through the design tools, simulation, synthesis, and downloads on Xilinx Spartan 3E FPGA, and some comments are presented in order to identify limitations and practical design issues in the proposed system.

Keywords— Software Defined Radio, QAM, Transpondedores Reconfigurables, CORDIC, FPGAs, DSPs.

I. INTRODUCCIÓN

En nuestros días, una de las características más importantes que los seres vivos poseen para garantizar su supervivencia, es la habilidad de adaptación a su entorno, es por ello que los sistemas, en especial los de telecomunicaciones no se encuentran exentos de esta situación.

El tema de reconfigurabilidad, adaptabilidad e inteligencia en la capa física implica dos tecnologías complementarias: Radio Definido por Software (SDR, Software Defined Radio) [6] y Radio Cognitivo (CR, Cognitive Radio). El término “Software Radio” fue acuñado por Joseph Mitola III en 1.991 para referirse a un tipo de radio reprogramable o reconfigurable [1,3]. Posteriormente, en el año 2000, el mismo Mitola introdujo el término “Cognitive Radio” [2,5], considerándola como una tecnología de gran significado e importancia y que define a un radio que puede cambiar sus indicadores de operación teniendo en cuenta uno o varios parámetros que mida o cense en su entorno. Mitola hace

además, una breve mención de cómo la radio cognitiva puede interactuar en el sistema a un nivel de alcance de una red cognitiva y termina reconociendo que los sistemas inalámbricos utilizan insuficientemente los recursos del espectro.

Como se propone en [1], [2] y [3] los sistemas de comunicaciones satelitales pueden tomar ventajas de estas tecnologías emergentes y los transpondedores cognitivos podrían ser implementados basándose en tecnologías SDR. En este contexto, transpondedores satelitales cognitivos podrían ser construidos basados en arreglos de FPGAs permitiendo realizar por completo las funciones de procesamiento en banda base y frecuencia intermedia a través de algoritmos de procesamiento digital de señales.

En este artículo se realiza una presentación de los resultados de la implementación del componente de modulación - demodulación para un transpondedor satelital cognitivo reconfigurable por medio de SDR utilizando plataformas FPGA, para este propósito se seleccionó el modulador - demodulador 16 QAM de acuerdo a que es ampliamente utilizado en el escenario de las comunicaciones satelitales. Los resultados e implementación se realizaron sobre la FPGA Spartan 3E de Xilinx de acuerdo a que es una de las plataformas más populares en nuestro entorno. La herramienta de desarrollo utilizada se denomina System Generator la cual también es proporcionada por Xilinx.

II. DISEÑO DEL MODULADOR

El diagrama en bloques del modulador QAM con salidas en fase y cuadratura se muestra en la figura 1 con salidas de la forma

$$I_{out}(n) = I(n)Cos(\omega_c n) + Q(n)Sin(\omega_c n) \quad (1)$$

$$Q_{out}(n) = Q(n)Cos(\omega_c n) - I(n)Sin(\omega_c n) \quad (2)$$

donde I(n) y Q(n) son los símbolos de datos conformados e interpolados en fase y cuadratura [4], en la cual la implementación directa requiere un total de cuatro multiplicaciones reales y dos sumas reales como lo muestra la figura 1.

III. IMPLEMENTACION DEL MODULADOR

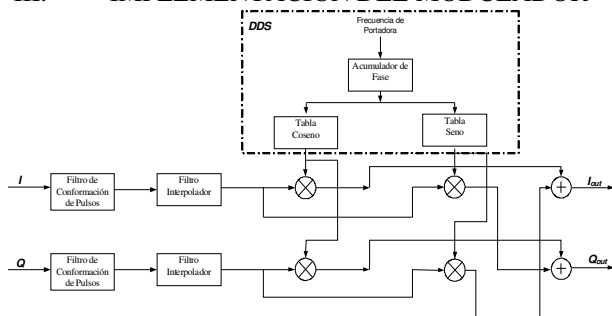


Fig.1. Esquema del modulador QAM con salidas en fase y cuadratura

El diagrama de la implementación del modulador 16QAM en la herramienta de desarrollo de Xilinx System Generator se muestra en la figura 2.

El modulador se encuentra constituido por un bloque de conversión serie a paralelo, el cual se encarga de realizar la

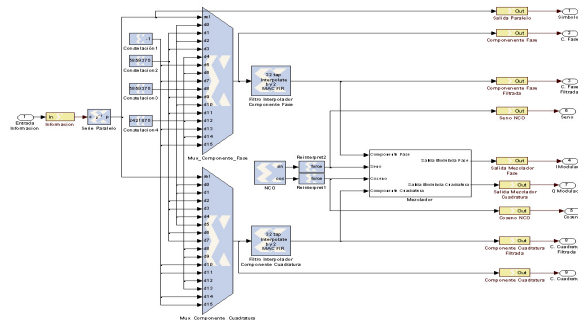


Fig.2. Modulador 16QAM Implementado En Xilinx System Generator

conversión de los datos seriales de entrada a símbolos 16QAM, estos símbolos a su vez son empleados para seleccionar la salida de los multiplexores los cuales se encargan de la conformación de las componentes en fase y cuadratura de la señal QAM, posteriormente las componentes en fase y cuadratura de la señal pasan a los filtros de transmisión, que son interpoladores de paso bajo permitiendo obtener a la salida de los mismos las componentes en fase y cuadratura limitadas en banda, que posteriormente serán convertidas hacia arriba en el bloque mezclador cuya implementación se muestra en la figura 3.

El bloque mezclador hace uso de un Oscilador Controlado

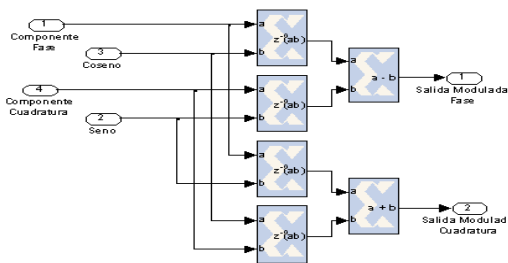


Fig.3. Mezclador Modulador 16QAM Xilinx System Generator

Numéricamente NCO para la generación de las señales Seno y Coseno a la frecuencia deseada de portadora. El bloque utiliza una ROM para generar sinusoides, un integrador el cual opera como acumulador genera una fase la que se mapea en la ROM como direcciones que permiten obtener el valor del senoide de salida de acuerdo a la fase de entrada, el incremento y desplazamiento de fase pueden ser definidos como constantes o pueden establecerse de forma dinámica a través de los puertos del oscilador, estos valores se definen en términos de ciclos por muestra, lo cual implica que por ejemplo para un incremento de fase de un décimo (1/10), un senoide se completa después de diez periodos de muestreo.

Una vez el incremento de fase se acumula, el desplazamiento de fase se adiciona al resultado.

La implementación del bloque mezclador se muestra en la figura 3, el cual realiza el producto de las componentes en fase y cuadratura de la señal permitiendo el proceso de conversión hacia arriba; este producto se efectúa con un multiplicador complejo el cual consta de cuatro bloques multiplicadores reales y dos sumadores reales que se encargan de entregar la parte real y la parte imaginaria del producto, las cuales corresponden a las componentes en fase y cuadratura moduladas.

IV. DISEÑO DEL DEMODULADOR

El diagrama general del demodulador QAM se muestra en la figura 4.

Los multiplicadores de cuadratura y los filtros producen

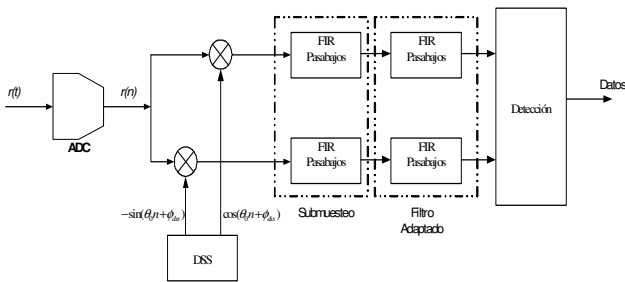


Fig.4. Esquema Básico del Demodulador QAM

una estimación de las amplitudes en cuadratura, las cuales son las bases de la identificación de símbolos. La sincronización de portadora realiza la conversión a banda base de las componentes en cuadratura de la señal usando réplicas de fase coherentes de las portadoras en cuadratura.[7]

Para el caso de la implementación del demodulador, uno de los componentes más importantes es el DPLL (Digital Phase Locked Loop), el cual emplea un filtro sumador proporcional integrativo y un camino directo escalado como se muestra en la figura 5.

Los coeficientes del filtro K_p y K_i controlan el ancho de banda del PLL y el factor de derrape; en esta implementación el NCO (Oscilador Controlado Numéricamente) se conforma por medio de un sintetizador digital directo (DDS) y el detector de fase se implementa a través de la tangente inversa por medio del bloque que lleva su nombre.

Puesto que la fase de la señal modulada en QAM es dependiente de los datos, el detector de fase debe demodular la señal recibida y producir una señal proporcional a la diferencia de fase entre las portadoras locales y las recibidas. La complejidad del detector de

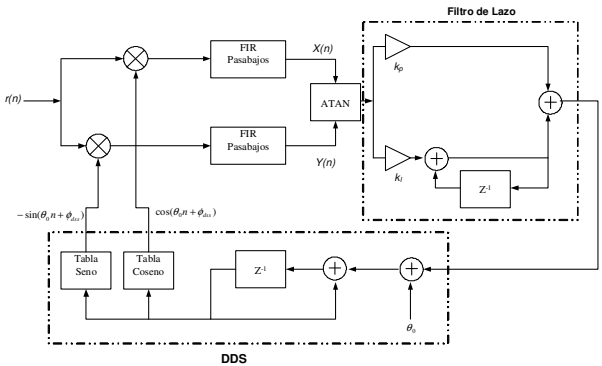


Fig.5. DPLL para sincronización de fase

fase se puede reducir por medio del cálculo de una señal proporcional al seno de la diferencia de fase $\Delta\phi = \phi - \phi_{dss}$ y como la función $\sin(\Delta\phi)$ es monótonica con $-\pi/2 \leq \Delta\phi \leq \pi/2$ siendo un buen estimador de fase en este intervalo y para pequeños valores de $\Delta\phi$, $\sin(\Delta\phi) \approx \Delta\phi$, entonces la función seno se aproxima a un detector de fase ideal para valores pequeños de $\Delta\phi$.

El error de fase se obtiene comparando la diferencia de fase entre la señal recibida $x(n)+jy(n)$ y el punto más cercano de la constelación $I(n)+jQ(n)$ tal como se muestra en la figura 6.

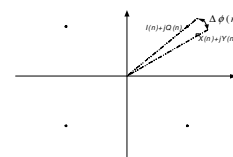
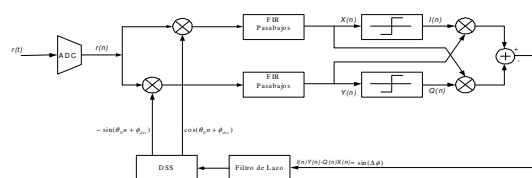


Fig.6. DPLL implementado con productos cruzados y la constelación

Para la constelación de ejemplo, los cuatro puntos pertenecientes a la constelación son ubicados en el centro de los cuatro cuadrantes, luego el punto más cercano de la constelación es calculado por medio del signo de las magnitudes de las componentes en fase y cuadratura y el seno de la diferencia de fase puede expresarse como

$$\text{Sin}(\Delta\phi) = \frac{\{I(n)Y(n)\} - \{Q(n)X(n)\}}{\sqrt{I^2(n) + Q^2(n)} \sqrt{X^2(n) + Y^2(n)}} \quad (3)$$

La ecuación 3 muestra que el error de fase es proporcional al seno de la diferencia de fase, que puede ser generado a partir de la diferencia de los productos cruzados $I(n)Y(n) - Q(n)X(n)$,

por lo tanto, el detector de fase para una constelación densa como 16QAM debe contener mas comparaciones para determinar el punto más cercano de la constelación, por esta razón esta función se implementa utilizando un particionador como se muestra en la figura 7.

Los puntos de la constelación de 16QAM residen en uno de tres contornos indicando su distancia desde el origen, el radio del contorno mayor, representa señales con una alta relación señal a ruido y la medición de fase para puntos ubicados en este contorno presentan menor ruido por lo que el PLL debe controlar la ganancia de acuerdo al radio del símbolo detectado, función que es desempeñada por el bloque de detección de ganancia que se muestra en la figura 7.

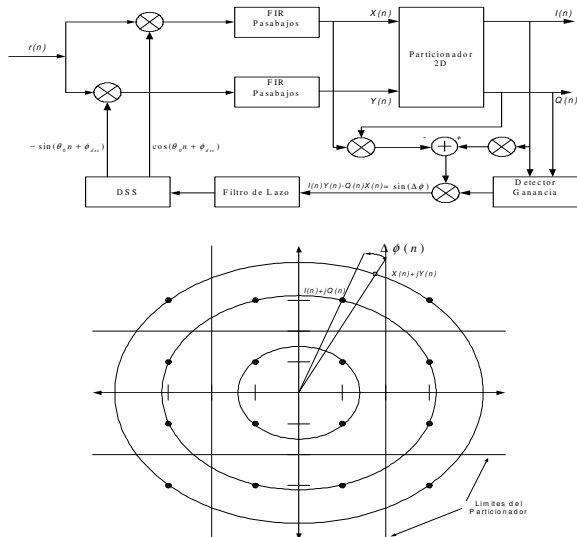


Fig.7. DPLL para 16QAM

V. IMPLEMENTACION DEL EMODULADOR

El diagrama de la implementación del demodulador 16QAM en la herramienta de desarrollo de Xilinx System Generator se muestra en la figura 8.

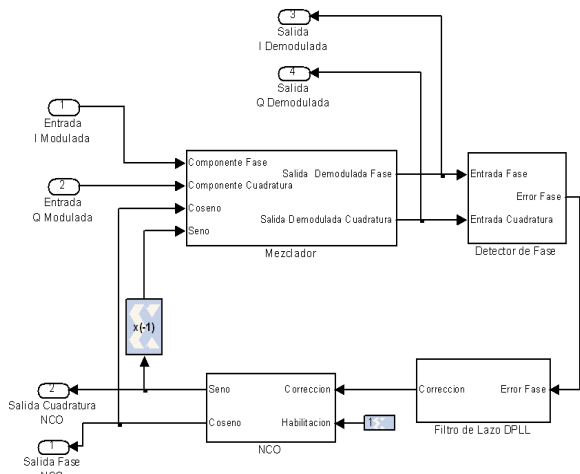


Fig.8. Demodulador 16QAM en Xilinx System Generator

Está conformado por un bloque mezclador el cual se muestra en la figura 3 como el utilizado por el modulador; un bloque detector de fase que cumple la función de la recuperación de la fase de la portadora de la señal modulada puesto que la fase de la señal modulada en QAM es dependiente de los datos, el detector de fase debe producir una señal proporcional a la diferencia de fase entre las portadoras locales y las recibidas, permitiendo calcular una señal proporcional al seno de la diferencia de fase $\Delta\phi = \phi - \phi_{dss}$ como se describe en el numeral anterior de diseño. Un bloque DPLL para el enganche de portadora y que permite generar el error de fase que sea alimenta al NCO el cual se implementa de igual manera al utilizado por el modulador.

La implementación de los bloques que componen el demodulador se muestran en las figuras 9 a 17.

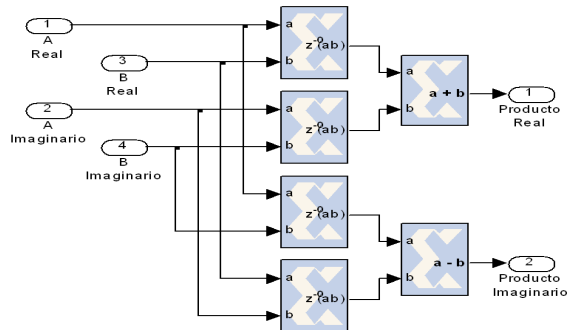


Fig.9. Multiplicador Complejo Entrada B Complementada en Xilinx System Generator

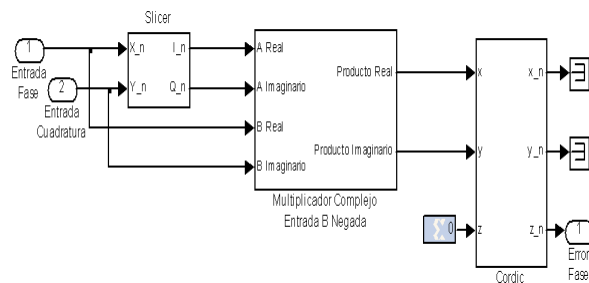


Fig.10. Detector de Fase en Xilinx System Generator

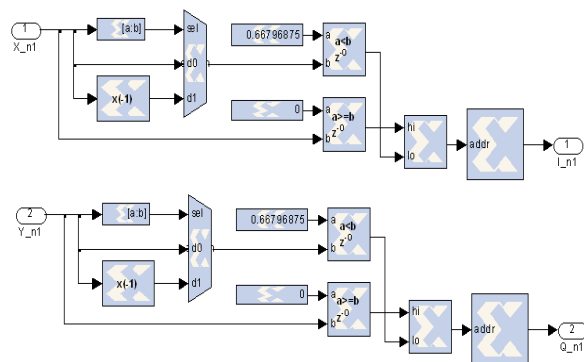


Fig.11 Slicer en Xilinx System Generator

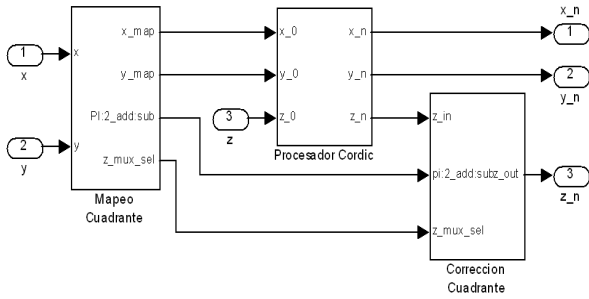


Fig.12. Bloque CORDIC en Xilinx System Generator

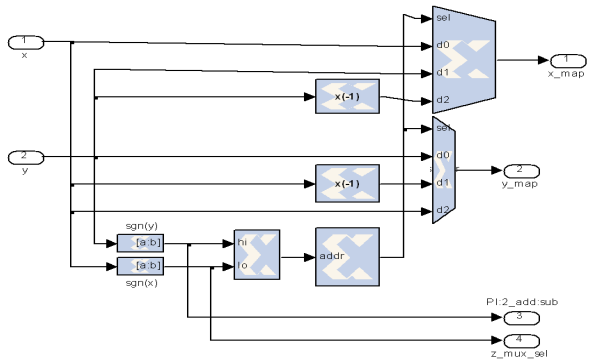


Fig.13 Mapeo Cuadrante en Xilinx System Generator

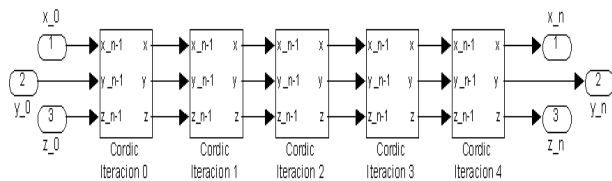


Fig.14. Procesador CORDIC en Xilinx System Generator

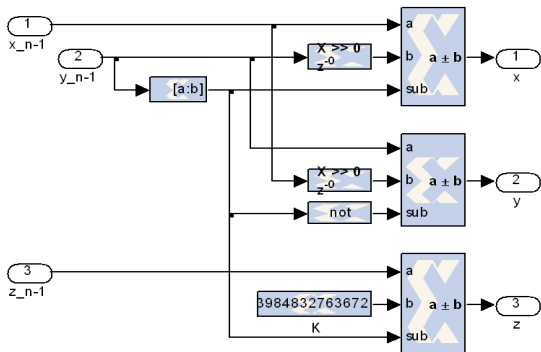


Fig.15. CORDIC Iteración n en Xilinx System Generator

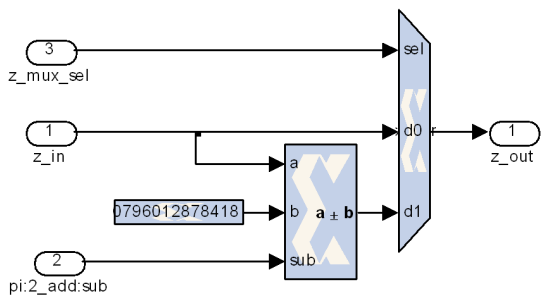


Fig.16. Corrección Cuadrante en Xilinx System Generator

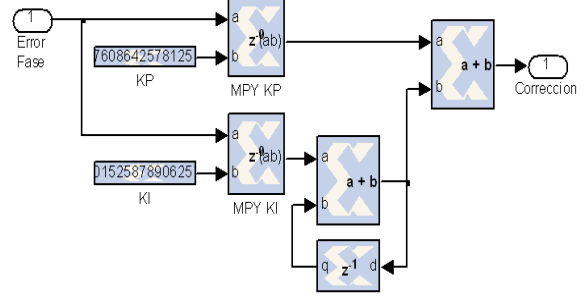


Fig.17. Filtro de Lazo DPLL en Xilinx System Generator

Utilizando la herramienta de estimación de recursos se calcularon los recursos requeridos en la FPGA para realizar la implementación, estos resultados se presentan en las tablas 1 y 2.

Tabla 1. Estimación de Recursos Totales De Implementación

Recurso	Modulador	Demodulador	Total
Slices	786	1191	1977
FFs	488	52	540
BRAMs	0	1	1
LUTs	1277	22280	3507
IOBs	193	0	193
Mult. Emb.	20	28	48
TBUFs	0	0	0

Tabla 2. Estimación de Recursos De Implementación Por Bloques Funcionales

Recurso	Mezclad.	Det. Fase	DPLL	NCO
Slices	314	782	68	18
FFs	0	0	32	20
BRAMs	0	0	0	1
LUTs	618	1521	104	20
IOBs	0	0	0	0
Mult. Emb.	12	12	4	0
TBUFs	0	0	0	0

En las figuras 18 a 28, se muestran los resultados de implementación.

En la figura 18 se observan los resultados de la implementación del bloque de conversión serie paralelo implementado para el modulador 16 QAM, en la parte superior de la figura se observa la secuencia de bits generados por la fuente aleatoria y en la parte inferior se observa la salida del bloque de conversión de serie a paralelo quien cumple la función de la generación de símbolos 16 QAM, por consiguiente, la señal de la parte inferior de la figura corresponde al conjunto de símbolos 16 QAM pasados al bloque de mapeo.

VI. RESULTADOS DE IMPLEMENTACION

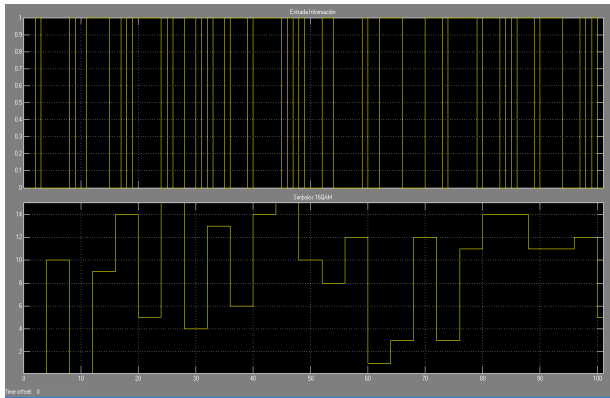


Fig.18. Información de Fuente y Símbolos 16 QAM

La figura 19 muestra las componentes en fase y cuadratura una vez se han pasado por el filtro de transmisión obtenidas a partir de los símbolos 16 QAM obtenidos del bloque de conversión serie paralelo con niveles normalizados 1, 1/3, -1/3, -1 asociados de acuerdo al cuadrante seleccionado por los dos bits más significativos de cada símbolo y a la fase seleccionada por los dos bits menos significativos de cada símbolo.

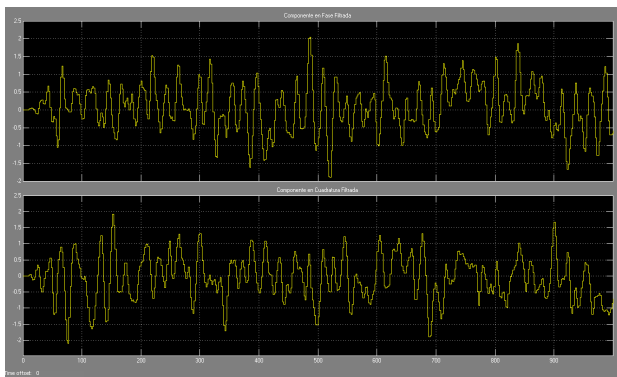


Fig.19. Componentes en Fase y Cuadratura Post Filtro de Transmisión.

La figura 20 muestra las salidas en fase y cuadratura del modulador, correspondientes a las entradas en fase y cuadratura una vez filtradas y adecuados sus niveles y número de muestras a los requeridos por el mezclador con la portadora generada por el NCO; correspondiendo estas señales a las salidas del mezclador del modulador y por consiguiente las salidas del modulador en cuadratura 16 QAM.

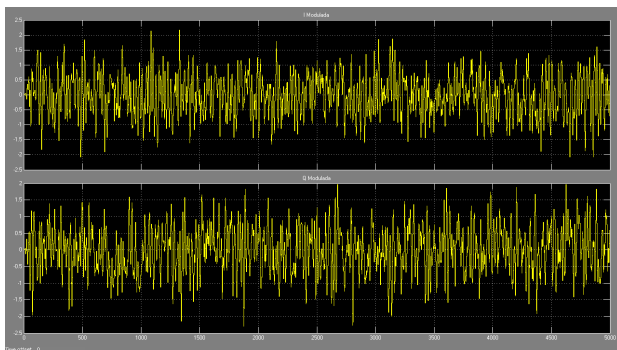


Fig.20. Componentes en Fase y Cuadratura Moduladas.

La figura 21 permite observar el diagrama de constelaciones de la señal 16 QAM de los símbolos modulados una vez han pasado por el canal de comunicaciones, este diagrama permite verificar cual es la constelación de símbolos recibida por el demodulador 16QAM para recuperar la señal transmitida a partir de esta constelación de símbolos distorsionada por efecto de alinealidades presentes en el canal de comunicaciones o por efectos del ruido blanco presente en el mismo.

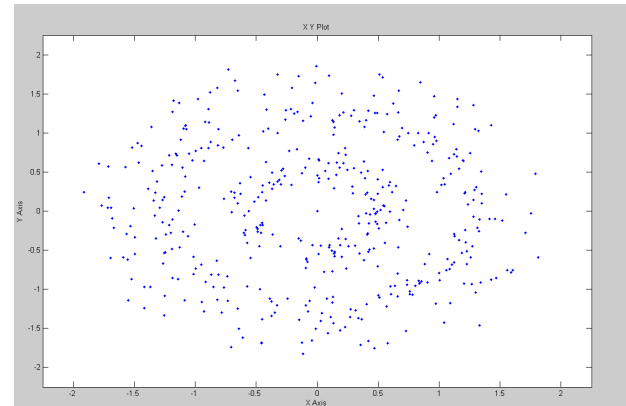


Fig.21. Diagrama de Constelación de la Señal Modulada Después del Canal.

La figura 22 muestra la respuesta en el dominio del tiempo de la señal generada por el NCO del demodulador, donde puede observarse como después de recibir una cantidad aproximada de 200 símbolos permite la recuperación de la fase de la portadora, garantizando con ello un desarrollo adecuado del proceso de demodulación de la señal recibida del canal de comunicaciones.

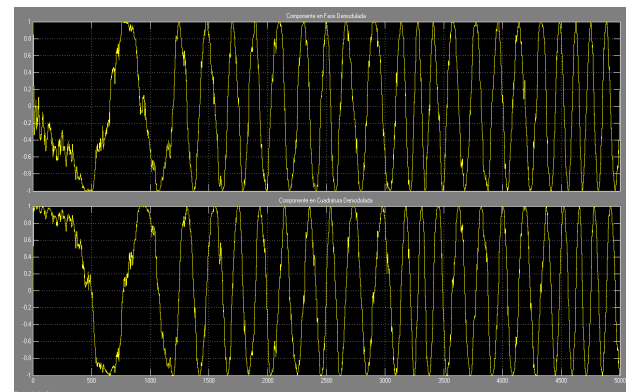


Fig.22. Respuesta del NCO de Recepción y Recuperación de Fase.

La figura 23 muestra el diagrama de constelaciones de la señal 16 QAM una vez realizado el proceso de demodulación, donde se hace evidente la no idealidad del mismo y el error de magnitud y fase de los símbolos demodulados, pero que se encuentran en una región de decisión lo suficientemente pequeña tal que permite ajustar dicho error y recuperar satisfactoriamente el símbolo digital transmitido.

VII. CONCLUSIONES Y RECOMENDACIONES

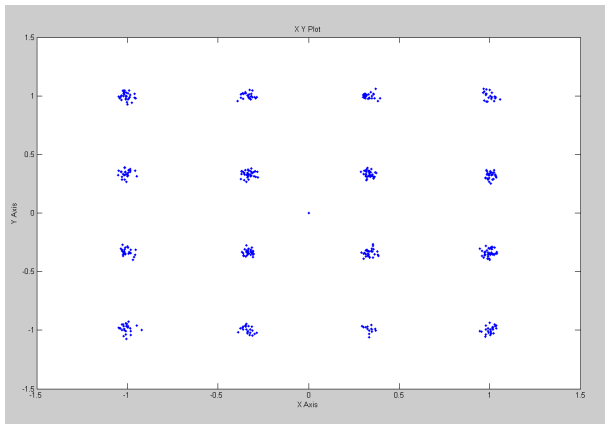


Fig.24. Diagrama de Constelación de la Señal Demodulada.

De acuerdo a que el procesamiento digital de señales incrementa en complejidad, el desarrollo de software y propiedad intelectual llegarán a ser más importantes que la implementación de la plataforma hardware que soporta la funcionalidad del sistema.

La implementación del componente modulación - demodulación 16 QAM descrito, fué realizada utilizando la herramienta de desarrollo sobre FPGAs System Generator. Esta aproximación proporciona un rápido ciclo de desarrollo mientras garantiza un entorno propicio para explorar y cuantificar el desempeño de diferentes versiones discretas de un mismo sistema. De igual manera se aprecia en los resultados mostrados que sobre tarjetas de bajo costo como las spartan 3E XC3S1600E pueden implementarse del orden de 7 modem con las características descritas en el presente artículo, lo cual es de gran importancia en plataformas satelitales, dado que permitiría desde tierra realizar al actualización de la plataforma de comunicaciones a bordo del satélite permitiendo de esta manera incrementar la capacidad del sistema y adaptarse a los requerimientos de servicios y/o a las condiciones de operación y gestión de los recursos de radio.

Se considera que SDR es una tecnología promisoría la cual contribuirá al mejoramiento de los sistemas satelitales, sin embargo, su implementación en transpondedores satelitales cognitivos reales puede llevar algunos años de acuerdo a los avances tecnológicos que puedan alcanzarse en el desarrollo de ADC que cumplan con las especificaciones requeridas para la implementación de SDR, y el desarrollo de dispositivos lógicos programables como DSPs y FPGAs con las suficientes capacidades de procesamiento requeridas para la implementación de los algoritmos. [6]

Las implementaciones utilizando SDR de las funciones de radio tradicionalmente analógicas, abren las puertas a nuevos niveles optimizados de funcionalidad de los dispositivos en órbita y de la implementación de nuevas

tecnologías de radio inteligente como lo es radio cognitivo.[5]

REFERENCIAS

- [1] Paillassa, B.; Morlet, C. "Flexible satellites: software radio in the sky". 10th International Conference on Telecommunications. ICT 2003. Volume 2, 23 Feb - 1 March 2003 Page(s):1596 -- 1600
- [2] Morlet, C.; Boucheret, M.-L.; Calmettes, V.; Paillassa, B.; Perennou, T. "Towards Generic Satellite Payloads: Software Radio". Parallel and Distributed Processing International Symposium, 2003. Proceedings. 22-26 April 2003 Page(s): 7 pp
- [3] Medina P, Samir; Astaiza H, Evelio and Vera V, Pedro. "Reconfigurable Satellite Payload Model based on Software Radio Technologies". Presented to the Third IEEE International Congress of the Andean Region -- Andescon2006.
- [4] Tan L. K., and H. Samueli, "A 200 MHz Quadrature Digital Synthesizer/Mixer in 0.8 μ m CMOS," IEEE Solid State Circuits, Vol. 30, No. 3, pp. 193-200, Mar. 1995.
- [5] Haykin, Simon. "Cognitive Radio: Brain-Empowered Wireless Communications". IEEE Journal on Selected Areas in Communications, Vol. 23, No 2. February 2005.
- [6] Haberland B., Koenig W., Pasht A., Weiss U., "Software Defined Radio: A Promising Technology For Multistandar Base Stations", Alcatel Telecommunications Review, 2005.
- [7] Roig J., Angarita F., Valls J., Almenar V., " Diseño de Moduladores Basados en Tablas Para Software Radio", <http://www.upv.es>, 2006.